

АНАЛИЗ ПРОЦЕССОВ В КОНЕЧНОМ АВТОМАТЕ ПРИ ВОЗДЕЙСТВИИ РАДИАЦИИ. ОЦЕНКА ВЕРОЯТНОСТИ ИСКАЖЕНИЯ ИНФОРМАЦИИ

И. В. Егоров^а, аспирант

В. Ф. Мелехин^а, доктор техн. наук, профессор

^аСанкт-Петербургский политехнический университет Петра Великого, Санкт-Петербург, РФ

Постановка проблемы: для решения вопросов функциональной организации цифровых устройств со структурной избыточностью, подверженных потоку информационных отказов, связанных с воздействием радиации, необходим анализ процессов, возникающих при действии частиц высокой энергии на интегральные схемы. **Цель:** установление функциональной связи характеристик случайного потока событий, заключающихся в попадании частиц высокой энергии в элементы интегральных схем, с характеристиками случайного потока отказов, заключающихся в искажении информации, хранящейся в памяти автомата. **Результаты:** получены описания процессов, связанных с воздействием радиации на интегральные схемы, на трех уровнях представления: физических эффектов в полупроводниковых структурах транзисторов; электрических процессов в электронных схемах на транзисторах, возникновения и распространения сигналов в электронных схемах; искажения сигналов и информации в схемах устройств на уровне логических элементов. Получены оценки вероятностей возникновения информационных отказов. Предложенный подход к анализу процессов может быть использован и для других элементов и устройств. **Практическая значимость:** полученные результаты позволяют проводить анализ влияния радиации на информационные процессы в цифровых устройствах. На основании результатов данного анализа можно использовать эффективные способы введения структурной избыточности для повышения надежности системы.

Ключевые слова — полупроводниковая структура, транзистор, клапан, логический элемент, синхронный триггер, КМОП-технология, радиационные эффекты, «мягкие» отказы, вероятностные характеристики, поток частиц высокой энергии, поток информационных отказов, физические процессы, электрические процессы, информационные процессы.

Введение

В работе [1] рассмотрены общие концептуальные представления о восстанавливаемых системах, подверженных потоку «мягких» отказов (возникновению и распространению ложных информационных импульсов), и подходы к функционально-логическому проектированию подобных систем; определен ряд вопросов, требующих отдельного исследования. Один из таких вопросов — это исследование вариантов функциональной организации блоков, моделью которых является автомат с памятью со структурным резервированием и периодическим восстановлением. При этом надо учитывать различное влияние на надежность блока системы ложных импульсов на выходах логических элементов (ЛЭ), возникающих при действии радиации, в комбинационных схемах и в триггерах автомата. Для проведения таких исследований требуется предварительный анализ процессов, связанных с воздействием радиации на интегральные схемы и их компоненты — логические элементы и триггеры. Необходимо последовательно рассмотреть и увязать между собой процессы на разных уровнях представления элементов и устройств:

— физические процессы в полупроводниковых структурах транзисторов при попадании частицы высокой энергии;

— электрические процессы в электронных цепях логических элементов и триггеров, представленных на уровне транзисторов;

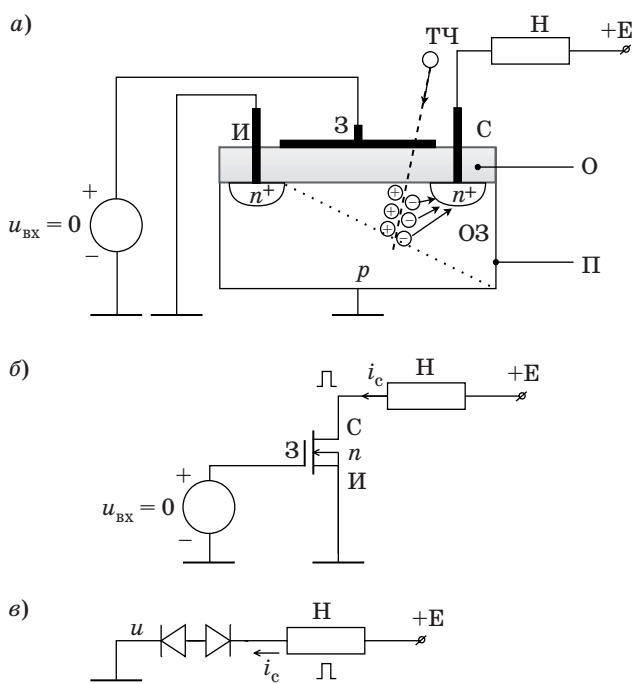
— процессы возникновения и распространения логических сигналов в устройствах, представленных на уровне логических элементов, с учетом их влияния на хранение, передачу и обработку информации.

На основе такого исследования можно получить вероятностные оценки возникновения мягких отказов в цифровых устройствах и использовать их для комплексного анализа надежности в соответствии с подходами, предложенными в работах [2–4]. Это позволит перейти к сравнительному анализу различных вариантов функциональной организации цифровых устройств со структурной избыточностью.

Анализ процессов, вызванных воздействием радиации, в полупроводниковой структуре транзистора и в клапане

Рассмотрим полупроводниковую структуру МОП-транзистора с каналом типа n (n -МОП-транзистора) (рис. 1, a) и принцип работы его как компонента цифровой схемы [5].

Наиболее распространенным материалом, применяемым для изготовления транзисторов, явля-



■ **Рис. 1.** Полупроводниковая структура МОП-транзистора с каналом типа n : *а* — полупроводниковая структура; *б* — схема с МОП-транзистором; *в* — эквивалентная схема цепи исток-сток при $u_{вх} = 0$

ется 4-валентный кремний. Для улучшения характеристик транзистора n -типа в качестве подложки применяют не чистый кремний, а кремний с небольшой примесью 3-валентного элемента (В, Ga, Al, ...), называемый кремнием p -типа. На рис. 1, *а* в качестве подложки показан полупроводник Π — кремний p -типа. Основными свободными носителями в кремнии p -типа являются дырки p . При этом свободные электроны (вне кристаллической решетки) называют неосновными носителями. На поверхности подложки методом диффузии созданы две области кремния типа n^+ . Кремний типа n получают добавлением небольшой примеси 5-валентного элемента (P, As, ...). При увеличении концентрации примеси область называют n^+ . Основными носителями в этой области являются свободные электроны, при этом дырки — неосновные носители. Поверхность подложки с двумя образованными pn -переходами покрыта окислом SiO_2 (обозначен буквой O). Сток C и исток $И$ транзистора образуют области n^+ , соединенные с металлическими выводами. Затвор $З$ выполнен напылением металла и соединен с соответствующим выводом.

Простейшая электронная схема ключа с n -МОП-транзистором в качестве усилительного элемента и нагрузочным элементом H представлена на рис. 1, *б*. При $u_{вх} > u_{пор}$ ($u_{пор}$ — порог открывания транзистора), что соответствует слу-

чаю, когда на вход поступает логическая 1, транзистор открыт. Под действием электрического поля между затвором и подложкой (см. рис. 1, *а*) электроны (неосновные носители) устремляются в подзатворную область, попадают в область электрического поля, создаваемого между стоком и подложкой, и через сток — в цепь нагрузки. При этом в подложке нарушается равновесие между дырками и электронами (дырок больше), открывается pn -переход истока, и дырки попадают во внешнюю цепь. Так протекает ток стока i_c . При $u_{вх} = 0$ транзистор закрыт. Под действием электрического поля между стоком и подложкой стока возникает обедненная зона ($OЗ$ на рис. 1, *а*), в которой нет свободных носителей, движение которых может создавать электрический ток. Эквивалентная схема цепи исток-сток при $u_{вх} = 0$ показана на рис. 1, *в*.

Теперь рассмотрим процессы в полупроводниковой структуре и цепи ключа при попадании в транзистор частицы высокой энергии, связанной с воздействием радиации (подробный анализ протекающих в этом случае физических процессов приведен в работах [6–8]). На рис. 1, *а* показан трек частицы $TЧ$ в полупроводниковой структуре транзистора. Сначала рассмотрим процессы в структуре, когда транзистор закрыт. В металле и окисле частица не вызывает изменений, так как в металле свободно существуют носители, участвующие в протекании тока, в окисле велика работа выхода электрона из оболочки атома, поэтому заметной ионизации не происходит. Основное ионизирующее воздействие частица вызывает в полупроводнике (в подложке), где работа выхода электрона из атома на несколько порядков ниже, чем в окисле. При этом образуются дополнительные заряды свободных носителей — электронов и дырок. Электроны под действием электрического поля устремляются к стоку, а дырки — к истоку. Таким образом, через закрытый (по входу) транзистор проскакивает импульс тока, площадь которого (заряд) соответствует возникшему в результате ионизации заряду. В цепи закрытого ключа (см. рис. 1, *б*) напряжение на выходе (напряжение на стоке) равно напряжению питания E . При проскакивании импульса тока на выходе ключа возникает провал напряжения (ложный сигнал логического нуля). Это является сбоем в работе ключа в составе цифровой схемы.

Если транзистор сигналом на входе был открыт, то заметного влияния на работу ключа частица высокой энергии не оказывает.

Аналогичные процессы происходят и в транзисторах с каналом типа p . Только области p и n в полупроводниковой структуре меняются местами, и изменяется полярность напряжений и направление тока.

Таким образом, анализ на уровне полупроводниковой структуры показывает, что событие, связанное с попаданием частицы высокой энергии в транзистор, приводит к другому событию — сбою на выходе ключа, если транзистор в момент попадания частицы был закрыт. Если транзистор был открыт, то сбоя в работе схемы не возникает.

Анализ процессов, вызванных воздействием радиации, в логических элементах цифровых устройств, выполненных по КМОП-технологии

Рассмотрим влияние физических процессов, описанных выше, на различные логические элементы цифровых устройств.

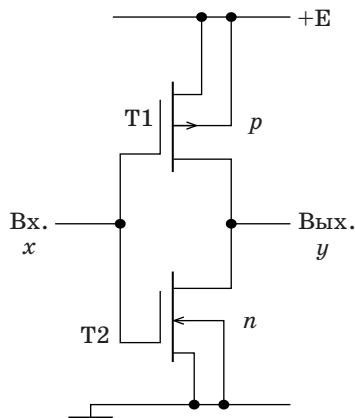
Инвертор

Теперь рассмотрим влияние частицы высокой энергии на работу КМОП-вентилей (инверторов) при двух возможных состояниях входа. Схема вентилей представлена на рис. 2 [9].

При $u_{вх} = 0$ (логический 0: $x = 0$) T1 открыт, T2 закрыт; на выходе $u_{вых} = E$ (логическая 1: $y = 1$); при $u_{вх} = E$ (логическая 1: $x = 1$) T1 закрыт, T2 открыт; на выходе $u_{вых} = 0$ (логический 0: $y = 0$).

При $x = 0$ закрыт транзистор T2. Попадание частицы высокой энергии в T2 вызовет его открывание. Хотя при этом транзистор T1 открыт, но при протекании тока он имеет определенное сопротивление. Поэтому проскакивание импульса тока через открытый частицей транзистор T2 вызовет уменьшение напряжения на выходе, т. е. появится ложный сигнал логического нуля ($y = 0$). Попадание частицы в T1 не вызовет ложного сигнала на выходе.

При $x = 1$ закрыт транзистор T1. Попадание частицы высокой энергии в T1 вызовет его открывание. Проскакивание импульса тока через открытый частицей транзистор T1 и открытый



■ Рис. 2. КМОП-вентиль: T1 — транзистор p-типа; T2 — транзистор n-типа; $y = \bar{x}$

входным напряжением T2 вызовет увеличение напряжения на выходе, т. е. появится ложный сигнал логической единицы ($y = 1$). Попадание частицы в T2 не вызовет ложного сигнала на выходе.

Построим теперь вероятностную схему событий на выходе вентиля. Попадание частицы высокой энергии в транзистор на кристалле СВИС имеет случайный характер. Будем рассматривать вероятности следующих событий:

$P_{п.ч.т}$ — вероятность попадания частицы в транзистор;

$P_{з.т}$ — вероятность, что в момент попадания частицы транзистор закрыт;

$P_{л.и.т}$ — вероятность того, что через транзистор проскочит ложный импульс тока;

$P_{л.с.в}$ — вероятность возникновения ложного сигнала на выходе вентиля.

В работоспособных цифровых схемах сбоя в сравнении с событиями изменения сигнала в ходе основного вычислительного процесса — события редкие. Пусть $T_з$ — время решения задачи. Аппаратура в настоящее время — это сеть синхронных автоматов [9]. Пусть τ — длительность такта. Тогда число испытаний элемента (вентилей) на предмет возникновения сбоя из-за частицы высокой энергии $T_з/\tau$. Число попаданий N_t частицы в транзистор за время $T_з$ удовлетворяет неравенству $N_t \ll T_з/\tau$. Поэтому вероятность события попадания частицы в транзистор $P_{п.ч.т}$ удовлетворяет закону Пуассона для простейшего потока случайных событий:

$$1 - P_{п.ч.т}(t) = \exp(-q_{п.ч.т}t), \quad (1)$$

где $(1 - P_{п.ч.т}(t))$ — вероятность того, что за время t не произойдет ни одного попадания частицы; $q_{п.ч.т}$ — средняя частота попаданий частицы в площадку на кристалле, занимаемую одним транзистором.

Открытое либо закрытое состояние транзистора в вентиле цифровой схемы в момент попадания частицы равновероятны, поэтому $P_{з.т} = 1/2$.

Соответственно, вероятность ложного импульса тока в транзисторе $P_{л.и.т} = P_{з.т} \times P_{п.ч.т}$.

В схеме вентиля (см. рис. 2) два транзистора — один открыт, другой закрыт. Попадания частицы в первый или второй транзистор — совместные события, поэтому вероятность возникновения ложного сигнала на выходе (0 либо 1) по правилу сложения вероятностей совместных событий

$$P_{л.с.в} = (P_{з.т} \times P_{п.ч.т}) + (P_{з.т} \times P_{п.ч.т}) - (P_{з.т} \times P_{п.ч.т})^2 = 2 \times (P_{з.т} \times P_{п.ч.т}) - (P_{з.т} \times P_{п.ч.т})^2. \quad (2)$$

Поскольку $P_{п.ч.т}$ и $P_{з.т}$ — малые величины, последним членом в выражении можно пренебречь. Это допущение верно и для других случаев возникновения совместных событий, анализируемых ниже. В итоге $P_{л.с.в} \approx P_{п.ч.т}$.

Логический элемент 2И-НЕ

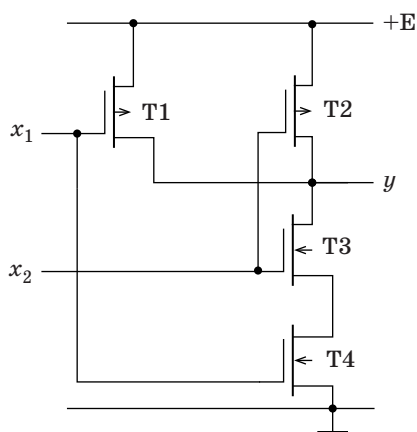
Рассмотрим процессы, возникающие в КМОП логическом элементе 2И-НЕ (рис. 3).

Схема содержит два транзистора (Т1, Т2) с каналом типа *p* и два транзистора (Т3, Т4) с каналом типа *n*. Схема имеет два входа, поэтому необходимо рассмотреть ее реакцию на попадание в каждый из четырех транзисторов частицы высокой энергии при четырех состояниях входа: $(x_1, x_2) \in \{(0, 0), (0, 1), (1, 0), (1, 1)\}$. Цель анализа: определить вероятность $P_{л.и.в.}^{\circ}$ появления ложного импульса на выходе логического элемента. В общем случае все состояния входа элемента равновероятны, поэтому

$$P_{л.и.в.}^{\circ} = \frac{1}{4}(P_{л.и.в.}^{\circ}(0, 0) + P_{л.и.в.}^{\circ}(0, 1) + P_{л.и.в.}^{\circ}(1, 0) + P_{л.и.в.}^{\circ}(1, 1)). \quad (3)$$

При $(x_1, x_2) = (0, 0)$ транзисторы Т1 и Т2 открыты, Т3 и Т4 закрыты, $y = 1, u_{\text{вых}} = E$. Действие частицы на логический элемент может проявиться только через кратковременное открывание закрытого транзистора. Из рис. 3 видно, что для протекания ложного импульса тока необходимо одновременное попадание частиц в два транзистора Т3 и Т4, что маловероятно, поэтому $P_{л.и.в.}^{\circ}(0, 0) = 0$.

При $(x_1, x_2) = (0, 1)$ транзистор Т1 открыт, Т4 закрыт, Т3 открыт, Т2 закрыт, $y = 1, u_{\text{вых}} = E$. Рассмотрим случаи попадания частицы в закрытые транзисторы. При попадании частицы в Т4 в цепи Т1-Т3-Т4 возникнет импульс тока, и на выходе возникнет ложный сигнал $y = 0$. Вероятность этого события совпадает с вероятностью попадания частицы в транзистор: $P_{л.с} = P_{п.ч.т.}$ При попадании частицы в транзистор Т2 ничего не произойдет, так как параллельно ему включен открытый по входу транзистор Т1, а протеканию тока препятствует закрытый Т4. Таким образом: $P_{л.и.в.}^{\circ}(0, 1) = P_{п.ч.т.}$



■ Рис. 3. КМОП логический элемент 2И-НЕ: $y = x_1 x_2$

При $(x_1, x_2) = (1, 0)$ картина аналогична случаю $(x_1, x_2) = (0, 1)$, поэтому $P_{л.и.в.}^{\circ}(1, 0) = P_{п.ч.т.}$

При $(x_1, x_2) = (1, 1)$ транзисторы Т1 и Т2 закрыты, а Т3 и Т4 открыты, $y = 0, u_{\text{вых}} = 0$. При попадании частицы в любой из закрытых транзисторов Т1 или Т2 возникнет импульс тока, а на выходе — ложный сигнал $y = 1$. Вероятность возникновения этого события $P_{л.и.в.}^{\circ}(1, 1) = 2P_{п.ч.т.}$

В итоге для логического элемента 2И-НЕ, используя (3), получим

$$P_{л.и.в.}^{\circ} = \frac{1}{4}(P_{л.и.в.}^{\circ}(0, 0) + P_{л.и.в.}^{\circ}(0, 1) + P_{л.и.в.}^{\circ}(1, 0) + P_{л.и.в.}^{\circ}(1, 1)) = \frac{1}{4}(0 + P_{п.ч.т.} + P_{п.ч.т.} + 2P_{п.ч.т.}) = P_{п.ч.т.} \quad (4)$$

Логический элемент 2ИЛИ-НЕ

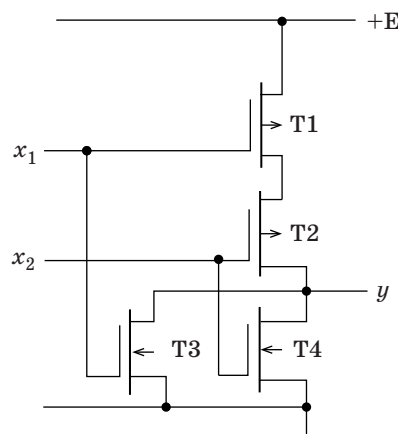
Рассмотрим процессы, возникающие в КМОП логическом элементе 2ИЛИ-НЕ (рис. 4).

Схема содержит два транзистора (Т1, Т2) с каналом типа *p* и два транзистора (Т3, Т4) с каналом типа *n* и имеет два входа. С точки зрения структуры элемент 2ИЛИ-НЕ эквивалентен элементу 2И-НЕ, поэтому вероятность появления ложного импульса на выходе логического элемента 2ИЛИ-НЕ также определяется формулой (3).

При $(x_1, x_2) = (0, 0)$ транзисторы Т1, Т2 открыты, Т3, Т4 закрыты, $y = 1$. Попадание частицы в Т3 или Т4 вызовет ложный сигнал $y = 0$ с вероятностью $P_{л.и.в.}^{\circ}(0, 0) = 2P_{п.ч.т.}$

При $(x_1, x_2) = (0, 1)$ транзисторы Т1, Т4 открыты, Т3, Т2 закрыты, $y = 0$. Попадание частицы в Т4 не окажет влияния на работу элемента, так как открыт Т3. Попадание в Т2 вызовет появление ложного сигнала $y = 1$, вероятность которого $P_{л.и.в.}^{\circ}(0, 1) = P_{п.ч.т.}$

Аналогично в состоянии $(x_1, x_2) = (1, 0)$ получим $P_{л.и.в.}^{\circ}(1, 0) = P_{п.ч.т.}$



■ Рис. 4. КМОП логический элемент 2ИЛИ-НЕ: $y = x_1 + x_2$

При $(x_1, x_2) = (1, 1)$ закрыты Т1 и Т2, открыты Т3 и Т4, $y = 0$. Для появления ложного импульса $y = 1$ необходимо одновременное открывание Т1 и Т2, что маловероятно, поэтому $P_{л.и.в}^0(1, 1) = 0$.

В итоге получим $P_{л.и.в}^0 = P_{п.ч.т}$, причем появление ложного сигнала $y = 0$ и $y = 1$ равновероятно.

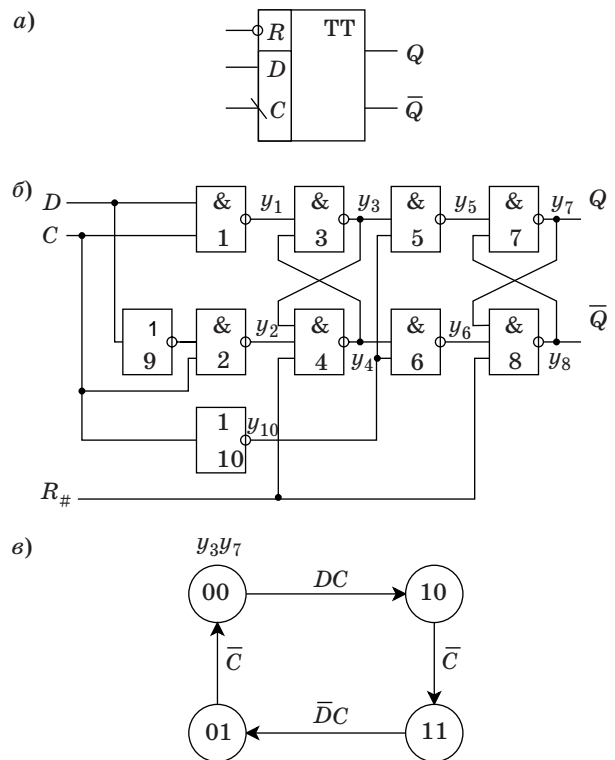
Анализ процессов, вызванных воздействием радиации, в триггерах конечных автоматов с памятью

подавляющее большинство цифровых устройств, выполняющих алгоритмическое преобразование информации (в отличие от функционального преобразования, выполняемого комбинационными схемами), строятся как синхронные автоматы с памятью [9, 10]. При этом для синхронизации используется внешний по отношению к устройству генератор тактовых импульсов. Период следования тактовых импульсов выбирается таким, чтобы за время такта успели затухнуть переходные процессы, связанные с распространением сигналов по сети элементов. В целях исключения влияния переходных процессов на работу устройства, для реализации памяти, фиксирующей внутреннее состояние автомата, используются триггеры, синхронизируемые фронтом (или спадом) тактового импульса. Поэтому рассмотрим воздействие радиации на процессы в триггере, синхронизируемом перепадом уровня синхроимпульса.

Для проведения анализа выберем один из наиболее распространенных типов триггера — триггер типа D, синхронизируемый спадом синхроимпульса C [9].

Условное обозначение триггера TT в функциональных схемах цифровых устройств показано на рис. 5, а [10]. Для связи с внешним окружением в триггере используются сигналы, относящиеся к трем непересекающимся группам, т. е. не используемым одновременно для функционального преобразования [9]: сигнал начальной установки R; сигнал синхронизации C и информационные сигналы — входной D и выходные Q, \bar{Q} .

Функциональная схема триггера на логических элементах (рис. 5, б) содержит восемь логических элементов И-НЕ и два инвертора. Номера элементов i используются для идентификации выходных переменных y_i . Элементы 3, 4 и 7, 8 образуют две бистабильные ячейки. Поэтому триггер как автомат с памятью имеет четыре внутренних состояния, характеризуемых значениями переменных y_3 и y_7 на выходах бистабильных ячеек: $(y_3, y_7) \in \{(0, 0), (0, 1), (1, 0), (1, 1)\}$. Комбинационная схема на элементах 9, 1, 2 управляет переключениями первой бистабильной ячейки, а на элементах 10, 5, 6 — переключениями второй бистабильной ячейки. Работу триггера характеризу-



■ Рис. 5. Триггер типа D, синхронизируемый спадом тактового импульса: а — условное обозначение; б — схема на логических элементах; в — граф переходов, характеризующий работу схемы

ет граф переходов (рис. 5, в). Из схемы и графа видно, что за такт (период тактовых импульсов C) в работе триггера можно выделить две фазы, разделяемые значением тактового сигнала C. В 1-й фазе (при C = 1), в соответствии со значением информационного сигнала D, происходит установка 1-й бистабильной ячейки в 0 или 1. При этом воздействие на вторую бистабильную ячейку заблокировано схемой из элементов 10, 5, 6, т. е. в этой фазе вторая бистабильная ячейка (элементы 7, 8) находится в режиме хранения информации. Во время 2-й фазы (C = 0) первая бистабильная ячейка (элементы 3, 4) находится в режиме хранения информации, при этом изменение сигнала D не влияют на ее состояние. Через элементы 5, 6 состояние из первой бистабильной ячейки передается во вторую и на внешний выход Q триггера. Таким образом, изменение состояния внешнего выхода триггера происходит при переключении C: 1 → 0. При начальной установке сигналом R = 0 асинхронно, независимо от значений сигналов D и C, обе бистабильные ячейки устанавливаются в состояние 0: $y_3 = 0, y_7 = 0$.

Теперь рассмотрим влияние на работу триггера попадания частицы высокой энергии в транзистор во всех режимах работы триггера.

**Анализ поведения триггера
в режиме начальной установки**

Учитывая асинхронный характер воздействия сигнала $R = 0$ непосредственно на обе бистабильные ячейки, можно заключить, что кратковременное открывание любого транзистора в комбинационных схемах (элементы 9, 1, 2 и 10, 5, 6) либо в самих бистабильных ячейках (элементы 3, 4 и 7, 8) не может изменить результат начальной установки. Изменение состояния возможно, если ложное открывание транзистора произойдет в момент фронта сигнала $R: 0 \rightarrow 1$. Но этот случай можно отнести к рабочему режиму при $R = 1$.

**Анализ поведения триггера
в рабочем режиме: $R = 1$, фаза 1: $C = 1$**

При этих условиях $y_{10} = \bar{C} = 0, y_5 = y_6 = 1$, бистабильная ячейка (7, 8) находится в режиме хранения информации; бистабильная ячейка (3, 4) находится в режиме записи под воздействием сигналов y_1, y_2 . При $D = 1 (y_1, y_2) = (0, 1)$ и, соответственно, $(y_3, y_4) = (1, 0)$. При $D = 0 (y_1, y_2) = (1, 0)$ и, соответственно, $(y_3, y_4) = (0, 1)$. Все приведенные сигналы определяются внешним воздействием на триггер и присутствуют во время всей фазы ($C = 1$). Кратковременное открывание одного из закрытых транзисторов в элементах 1–4 под воздействием частицы высокой энергии может исказить один из сигналов, но после исчезновения ложного импульса состояние ячейки восстановится, так как оно определяется внешним воздействием (сигналами D и C). Поэтому в этой фазе события, связанные с кратковременным открыванием закрытого транзистора под действием частицы в элементах 1–4, 9, можно не рассматривать. События в элементах 5–8, 10 могут исказить информацию в триггере. Рассмотрим их подробнее.

Рассмотрим ЛЭ5 (см. рис. 5, б), схема которого на уровне транзисторов приведена на рис. 3: $x_2 = y_{10} = 0 \rightarrow$ транзистор Т2 открыт, Т3 закрыт. Состояние других транзисторов элемента зависит от внешнего сигнала D , поэтому рассмотрим два случая. Пусть $D = 0$. Тогда $y_3 = x_1 = 0 \rightarrow$ транзистор Т1 открыт, Т4 закрыт. Как видно из рис. 3, одновременно закрыты два транзистора — Т3 и Т4. Для протекания тока через элемент и возникновения ложного импульса на выходе y частица должна одновременно попасть и в Т3, и в Т4, что маловероятно. Таким образом, попадание частицы в один из транзисторов ЛЭ5 не вызовет изменений в состоянии триггера. Рассмотрим случай $D = 1$. При этом $y_3 = 1$ (см. рис. 5, б), $x_1 = 1$ (см. рис. 3) \rightarrow транзистор Т1 закрыт, Т4 открыт. Транзисторы Т1 и Т3 закрыты. Открывание транзистора Т1 под воздействием частицы не может вызвать изменение сигнала y на выходе элемента, потому что параллельно Т1 включен открытый

в этом случае транзистор Т2. Открывание под воздействием частицы Т3 вызовет проскакивание ложного импульса тока и появление на выходе элемента ЛЭ5 ложного импульса логического 0. Если при этом бистабильная ячейка (7, 8) хранит 0 (на графе рис. 5, в это соответствует состоянию (1, 0)), то ложный импульс с выхода ЛЭ5 переключит ячейку в состояние 1, вызвав тем самым мягкий отказ. Рассмотрим оценки вероятности возникновения такого события. Пусть:

$P_{м.о}^{ЛЭ5,1}$ — вероятность мягкого отказа в триггере из-за воздействия частицы на элемент ЛЭ5 в первой фазе работы ($C = 1$);

$P_{снт.1}$ — вероятность существования ситуации 1 в триггере, когда может происходить рассматриваемое событие.

Рассматриваемая ситуация 1 заключается в том, что триггер как автомат находится в одном из четырех состояний — (1, 0): в ячейке (7, 8) хранится 0; событие происходит в 1-й фазе. Поэтому можно принять $P_{снт.1} = 0,25$. Как мы выяснили выше, в этой ситуации ложный импульс на выходе ЛЭ5 может возникнуть только при попадании частицы в один транзистор Т3, следовательно:

$$P_{м.о}^{ЛЭ5,1} = P_{п.ч.т} \times P_{снт.1} = 0,25 P_{п.ч.т}. \quad (5)$$

Рассмотрим ЛЭ6 (см. рис. 5, б), схема которого на уровне транзисторов приведена на рис. 3: $x_2 = y_{10} = 0 \rightarrow$ Т3 закрыт, Т2 открыт. При $D = 0 y_4 = x_1 = 1 \rightarrow$ Т4 открыт, Т1 закрыт, $y_6 = 1$. Попадание частицы в Т1 не приведет к изменению состояния схемы, так как параллельно включен открытый Т2. Попадание частицы в Т3 и его открывание вызовет появление на выходе y_6 ложного импульса логического 0. Это может переключить бистабильную ячейку (7, 8) в 0, если она находилась в состоянии 1 (состояние (0, 1) на рис. 4, в). При $D = 1$ (состояние (1, 0) на рис. 5, в) $y_4 = x_1 = 0 \rightarrow$ Т4 закрыт, Т1 открыт. Одновременное попадание частиц в два закрытых транзистора Т3 и Т4 маловероятно, поэтому в этой ситуации опасных событий в ЛЭ6 не произойдет.

Пусть $P_{м.о}^{ЛЭ6,2}$ — вероятность мягкого отказа в триггере из-за воздействия частицы на элемент ЛЭ6 в ситуации 2: состояние (0, 1) при $C = 1$; в бистабильной ячейке (7, 8) хранится 1, следовательно:

$$P_{м.о}^{ЛЭ6,2} = P_{п.ч.т} \times P_{снт.2} = 0,25 P_{п.ч.т}. \quad (6)$$

Рассмотрим ЛЭ10, схема которого на уровне транзисторов приведена на рис. 2. Входной сигнал $x = C = 1$, транзистор Т2 открыт, а Т1 закрыт. Попадание частицы в транзистор Т1 вызовет появление ложного сигнала $y_{10}: 0 \rightarrow 1 \rightarrow 0$. В момент, когда $y_{10} = 1$, информация из бистабильной ячейки (3, 4) передается в бистабильную ячейку (7, 8). Если их состояния не совпадают,

то ячейка (7, 8) изменит свое состояние. Это произойдет в фазе 1, а не в фазе 2 и является мягким отказом. Это может произойти, когда триггер находится в состоянии $(y_3, y_7) = (1, 0)$ или $(0, 1)$ (см. рис. 4, в). Поэтому вероятность мягкого отказа триггера из-за попадания частицы в ЛЭ10 в фазе 1

$$P_{\text{м.о}}^{\text{ЛЭ10,1}} = 0,5P_{\text{п.ч.т.}} \quad (7)$$

Следует отметить, что для системного окружения триггера, принимающего выходной сигнал Q , изменение этого сигнала раньше времени (в фазе 1, а не 2) соответствует искажению восприятия состояния триггера в текущем такте, т. е. является мягким отказом.

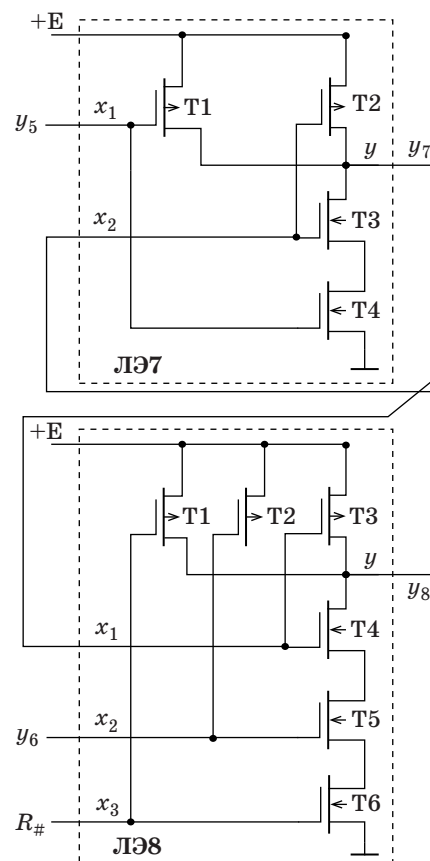
Анализ воздействия частиц высокой энергии в 1-й фазе рабочего режима на транзисторы бистабильных ячеек

В фазе 1 ($C = 1$) бистабильная ячейка (3, 4) находится в режиме записи под воздействием сигналов y_1, y_2 . Поэтому попадание частицы в любой закрытый транзистор ячейки может только кратковременно изменить ее состояние, после чего состояние под воздействием сигналов y_1, y_2 будет восстановлено.

Бистабильная ячейка (7, 8) находится в режиме хранения информации при $y_5 = y_6 = 1$. Поэтому воздействие частиц на транзисторы ячейки может изменить ее состояние. На рис. 6 приведена схема ячейки на уровне транзисторов.

Под действием входных сигналов $R = y_6 = y_5 = 1$ транзисторы T1 и T2 в логическом элементе ЛЭ8 и транзистор T1 в ЛЭ7 закрыты; транзисторы T6 и T5 в ЛЭ8 и T4 в ЛЭ7 открыты. Состояние остальных транзисторов зависит от хранимой в ячейке информации. Пусть хранится 0 ($y_7 = 0$), тогда в ЛЭ8 T3 открыт, T4 закрыт $\rightarrow y_8 = 1 \rightarrow$ в ЛЭ7: T2 закрыт, T3 открыт $\rightarrow y_7 = 0$, состояние устойчиво. Попадание частицы в один из закрытых транзисторов ЛЭ8 T1 или T2 не вызовет изменений в схеме, так как они включены параллельно открытому транзистору T4. Попадание частицы в закрытый транзистор T4 ЛЭ8 приведет к протеканию тока по цепи T3, T4, T5, T6 \rightarrow возникнет ложный импульс $y_8 = 0 \rightarrow$ изменится состояние ячейки $y_7 = 0 \rightarrow 1$. Это мягкий отказ триггера. Ситуация характеризуется двумя состояниями схемы: $C = 1$ (1-я фаза работы); хранится 0 ($y_7 = 0$) (состояние (1, 0) на рис. 5, в). Вероятность этой ситуации $P_{\text{снт}(1,0)} = 0,25$.

Попадание частицы в закрытый транзистор T1 или T2 ЛЭ7 приведет к протеканию тока по цепи T1 (T2), T3, T4 и вызовет появление ложного сигнала $y_7 = 1$. Это приведет к переходу ячейки (7, 8) в состояние 1 (на рис. 4, в (1, 0) \rightarrow (1, 1) при $C = 1$), т. е. произойдет мягкий отказ. Итак, в ситуации с вероятностью ее существования $P_{\text{снт}(1,0)} = 0,25$ мягкий отказ может возникнуть при попадании



■ Рис. 6. Схема бистабильной ячейки триггера

частицы в транзистор T1, T2 ЛЭ7 либо T4 ЛЭ8. Вероятность мягкого отказа в этом случае

$$P_{\text{м.о}}^{\text{ЛЭ7,8}(1,0)} = 0,75P_{\text{п.ч.т.}} \quad (8)$$

Пусть в ячейке (7, 8) хранится 1 ($y_7 = 1$) (состояние (0, 1) на рис. 5, в). Тогда в ЛЭ8 закрыты T3, T2, T1, открыты T6, T5, T4 $\rightarrow y_8 = 0 \rightarrow$ в ЛЭ7: T2 и T4 открыты, T1 и T3 закрыты $\rightarrow y_7 = 1$. Состояние устойчиво. При попадании частицы в один из закрытых T3, T2, T1 ЛЭ8 по цепи T3 (T2, T1), T4, T5, T6 пройдет импульс тока, и на выходе ЛЭ8 возникнет ложный импульс $y_8 = 1$, который изменит состояние ячейки: $y_7 \rightarrow 0$ (переход (0, 1) \rightarrow (0, 0) при $C = 1$). Это мягкий отказ. При попадании частицы в закрытый транзистор T3 ЛЭ7 по цепи T2, T3, T4 пройдет импульс тока, и на выходе ЛЭ7 возникнет ложный импульс $y_7 \rightarrow 0$, что приведет к переходу ячейки в состояние 0. При попадании частицы в закрытый транзистор T1 (ЛЭ7) ничего не произойдет, так как параллельно ему включен открытый в это время T2. Таким образом, в этой ситуации (состояние (0, 1) при $C = 1$) мягкий отказ может вызвать попадание частицы в один из четырех транзисторов. Поэтому

$$P_{\text{м.о}}^{\text{ЛЭ7}(0,1)} = P_{\text{п.ч.т.}} \quad (9)$$

Следует отметить, что в соответствии с передаточной характеристикой КМОП-элементов и пороговой чувствительностью к входным сигналам протекание сквозного ложного импульса тока через цепочку нагрузочного p -МОП-транзистора и усилительных n -МОП-транзисторов вызывает разный эффект на уровне логических сигналов в зависимости от исходного состояния. В состоянии выхода $y = 0$ (выходное напряжение равно 0) импульс тока вызывает положительный импульс напряжения на выходе, превышающий порог (логическая 1), а в состоянии $y = 1$ (выходное напряжение равно напряжению питания E) — провал уровня напряжения, воспринимаемый как логический 0.

С учетом (7) и (8) для первой фазы работы для обоих возможных состояний бистабильной ячейки (7, 8) получим вероятность мягкого отказа при попадании частицы в один из ее транзисторов:

$$P_{\text{м.о}}^{\text{я}78,1} = P_{\text{м.о}}^{\text{я}78(1,0)} + P_{\text{м.о}}^{\text{я}78(0,1)} = 1,75P_{\text{п.ч.т}} \quad (10)$$

Анализ поведения триггера в рабочем режиме: $R = 1$, фаза 2: $C = 0$

В фазе 2 (см. рис. 5, а) $y_1 = y_2 = 1$, бистабильная ячейка (3, 4) находится в режиме хранения информации, записанной в 1-й фазе (при $C = 1$); $y_{10} = 1$, информация из ячейки (3, 4) через элементы ЛЭ5 и ЛЭ6 передается в ячейку (7, 8). Поскольку в этой фазе ячейка (7, 8) находится под внешним управлением, то кратковременное открывание под действием частицы высокой энергии одного из закрытых транзисторов не повлияет на ее состояние. Под действием частиц измениться может только состояние ячейки (3, 4), находящейся в режиме хранения информации. Изменение состояния этой ячейки через ЛЭ5 и ЛЭ6 передается в ячейку (7, 8) и на выход триггера. Таким образом, случайное изменение состояния ячейки (3, 4), находящейся в режиме хранения информации, — это мягкий отказ триггера, характеризующийся переходами в фазе 2 (см. рис. 4, в): $(0, 0) \rightarrow (1, 0) \rightarrow (1, 1)$ либо $(1, 1) \rightarrow (0, 1) \rightarrow (0, 0)$.

Вследствие одинаковости схем бистабильных ячеек (3, 4) и (7, 8) получим

$$P_{\text{м.о}}^{\text{я}34,2} = P_{\text{м.о}}^{\text{я}78,1} = 1,75P_{\text{п.ч.т}} \quad (11)$$

где $P_{\text{м.о}}^{\text{я}34,2}$ — вероятность мягкого отказа в ячейке (3, 4) во 2-й фазе работы триггера.

На состояние ячейки (3, 4) могут также повлиять ложные импульсы от элементов ЛЭ1 и ЛЭ2. Их схемы и влияние на бистабильную ячейку аналогичны рассмотренным выше элементам ЛЭ5 и ЛЭ6, поэтому по аналогии с выражениями (5) и (6) получим

$$P_{\text{м.о}}^{\text{ЛЭ}1,1} = P_{\text{п.ч.т}} \times P_{\text{сит.1}} = 0,25P_{\text{п.ч.т}} \quad (12)$$

где $P_{\text{м.о}}^{\text{ЛЭ}1,1}$ — вероятность мягкого отказа триггера из-за попадания частицы в закрытый транзистор ЛЭ1 в ситуации 1: фаза 2 ($C = 0$) и в ячейке (3, 4) хранится 0 (состояние (0, 0) на рис. 5, в);

$$P_{\text{м.о}}^{\text{ЛЭ}2,2} = P_{\text{п.ч.т}} \times P_{\text{сит.2}} = 0,25P_{\text{п.ч.т}} \quad (13)$$

где $P_{\text{м.о}}^{\text{ЛЭ}2,2}$ — вероятность мягкого отказа триггера из-за попадания частицы в закрытый транзистор ЛЭ2 в ситуации 2: фаза 2 ($C = 0$) и в ячейке (3, 4) хранится 1 (состояние (1, 1) на рис. 4, в).

Попадание частицы в ЛЭ9 в фазе 2 не приведет к изменению состояния ЛЭ2, так как действие сигнала y_9 заблокировано сигналом $C = 0$.

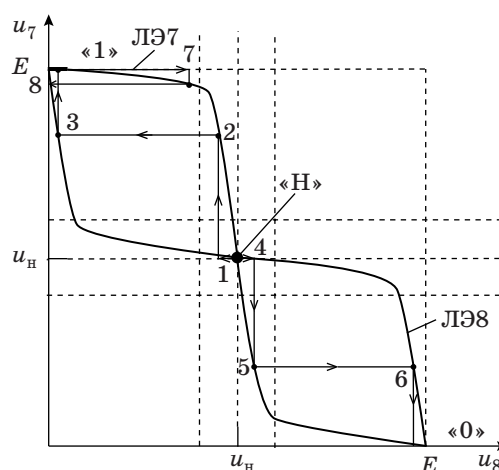
Используя полученные оценки вероятностей (5)–(7), (10)–(13), вычислим вероятность мягкого отказа триггера $P_{\text{тр}}$ при попадании частицы высокой энергии в один из закрытых транзисторов его схемы:

$$P_{\text{тр}} = P_{\text{м.о}}^{\text{ЛЭ}5,1} + P_{\text{м.о}}^{\text{ЛЭ}6,2} + P_{\text{м.о}}^{\text{ЛЭ}10,1} + P_{\text{м.о}}^{\text{я}78,1} + P_{\text{м.о}}^{\text{я}34,2} + P_{\text{м.о}}^{\text{ЛЭ}1,1} + P_{\text{м.о}}^{\text{ЛЭ}2,2} = 5P_{\text{п.ч.т}} \quad (14)$$

Анализ возможных исходов в бистабильной ячейке от действия ложного импульса, вызванного попаданием частицы высокой энергии в транзистор

С учетом порогового характера элементов бистабильной ячейки рассмотрим возможные исходы воздействия ложных импульсов, вызванных попаданием частицы в транзистор, на примере ячейки (7, 8) рис. 5, б, транзисторная схема которой приведена на рис. 6. Рассмотрим передаточные характеристики элементов ЛЭ7 и ЛЭ8, когда ячейка находится в режиме хранения информации ($y_5 = y_6 = R = 1$) (рис. 7).

Ось ординат соответствует напряжению u_7 (выходному сигналу y_7), ось абсцисс — напря-



■ Рис. 7. Передаточная характеристика элементов ЛЭ7 и ЛЭ8 бистабильной ячейки (7, 8)

жению u_8 (сигналу y_8). Напряжение u_7 является выходным для ЛЭ7 и входным для ЛЭ8, u_8 является выходным для ЛЭ8 и входным для ЛЭ7. У передаточных характеристик есть три точки пересечения. Точки «1» и «0» являются точками устойчивого равновесия и соответствуют состояниям логической 1 и 0. Точка «Н» — точка неустойчивого равновесия. Как показано на рисунке, небольшое отклонение от нее вследствие положительной обратной связи приводит к лавинообразному переключению в устойчивое равновесие. Этому соответствуют трассы: «Н» → 1 → 2 → 3 → «1»; «Н» → 4 → 5 → 6 → «0». Таким образом, при воздействии частицы на один из закрытых транзисторов ячейки либо на транзисторы связанных с ее входами комбинационных схем, вызывающих провалы в уровнях входных напряжений $u_5 = u_6 = E$, возможны следующие исходы:

— изменение входного напряжения превышает порог неустойчивого равновесия u_H , что приведет к переключению ячейки в противоположное состояние;

— изменение входного напряжения достигает точно порога u_H , это приводит к состоянию метастабильности [10];

— изменение входного напряжения меньше порога u_H , после исчезновения возмущения схема приходит в исходное состояние.

Два первых случая соответствуют мягкому отказу, так как изменяют состояние триггера. В последнем случае отказа не происходит. Поэтому в вероятностных оценках рассмотренных событий под $P_{п.ч.т}$ будем понимать вероятность такого события, когда попавшая в транзистор частица

высокой энергии вызывает появление ложного сигнала, достигающего либо превышающего порог u_H .

Заключение

В результате проведенного анализа установлена связь эффектов, порожденных ионизацией подложки транзисторной структуры под действием частиц высокой энергии при радиационном облучении, с возникновением ложных импульсов на выходе вентиля, с искажением выходных сигналов логических элементов и с возникновением мягких отказов в синхронном триггере. Получены оценки вероятностей возникновения мягких отказов в триггере и возникновения ложных сигналов на выходах логических элементов.

Следует отметить, что при некоторой радиационной обстановке, характеризуемой средней частотой $q_{п.ч.т}$ попадания частиц высокой энергии в транзисторы, вероятности рассматриваемых событий, приводящих к мягким отказам, пропорциональны $P_{п.ч.т}$ и зависят от времени t (1). Время t соответствует времени хранения информации в запоминающем элементе. В системах с периодическим самовосстановлением величина t равна периоду восстановления информации. Чем чаще производится восстановление, тем меньше вероятность возникновения мягких отказов.

Полученные результаты позволят проводить анализ влияния радиации на информационные процессы в цифровых устройствах и обосновать наиболее эффективные способы введения структурной избыточности для повышения надежности устройств в условиях воздействия радиации.

Литература

- Егоров И. В., Мелехин В. Ф. Анализ проблемы повышения радиационной стойкости информационно-управляющих систем на этапе функционально-логического проектирования // Информационно-управляющие системы. 2016. № 1. С. 26–31. doi:10.15217/issn1684-8853.2016.1.26
- Егоров И. В., Мелехин В. Ф. Методы и средства анализа надежности структурных блоков с резервированием и периодическим восстановлением информации на различных этапах проектирования вычислительных систем // Информационно-управляющие системы. 2016. № 2. С. 26–34. doi:10.15217/issn1684-8853.2016.2.26
- Jacob A. Abraham, Daniel P. Siewiorek. An Algorithm for the Accurate Reliability Evaluation of Triple Modular Redundancy Networks // IEEE Transactions on Computers. 1974. Vol. C-23. N 7. P. 682–692.
- Максименко С. Л., Мелехин В. Ф. Анализ надежности функциональных узлов цифровых СБИС со структурным резервированием и периодическим восстановлением работоспособного состояния // Информационно-управляющие системы. 2013. № 2(63). С. 18–23.
- Мурога С. Системное проектирование сверхбольших интегральных схем. Кн. 1. — М.: Мир, 1985. — 288 с.
- Edmonds L. D., Barnes C. E., Scheick L. Z. An Introduction to Space Radiation Effects on Microelectronics// JPL Publication. 2000. N 00-06. <http://snebulos.mit.edu/projects/reference/NASA-Generic/JPL-00-06.pdf> (дата обращения: 05.12.2015).
- Gaillard R. Single Event Effects Mechanisms and Classification// Frontiers in Electronic Testing. 2011. Vol. 41. P. 27–54.
- Amusan O. A., et al. Single Event Upsets in Deep-Submicrometer Technologies due to Charge Sharing / O. A. Amusan, L. W. Massengill, M. P. Baze,

A. L. Sternberg, A. F. Witulski, B. L. Bhuvu, J. D. Black // *IEEE Transactions on Device and Materials Reliability*. 2008. Vol. 8. N 3. P. 582–589.

9. Kaeslin H. *Digital Integrated Circuit Design. From VLSI Architectures to CMOS Fabrication*. — Cam-

bridge University Press, 2008. <http://www.roletech.net/books/DigitalIntegratedCircuit.pdf> (дата обращения: 10.04.2016).

10. Бабич Н. П., Жуков И. А. *Компьютерная схемотехника*. — Киев: МК-пресс, 2004. — 670 с.

UDC 681.3

doi:10.15217/issn1684-8853.2016.3.24

Analysis of Processes in a Finite State Machine under Radiation. Probabilistic Assessment of Information Distortion

Egorov I. V.^a, Post-Graduate Student, iegorov@kspt.icc.spbstu.ru

Melekhin V. F.^a, Dr. Sc., Tech., Professor, melekhin@kspt.ftk.spbstu.ru

^aPeter the Great St. Petersburg Polytechnic University, 29, Politekhnikheskaia St., 195251, Saint-Petersburg, Russian Federation

Introduction: The functional organization of digital devices with structural redundancy is difficult when radiation causes a flow of failures. To solve this problem, we need to analyze what happens when radioactive particles of high energy hit integrated circuits. **Purpose:** Our goal is to determine the functional connection between the characteristics of a random flow of events when high-energy particles hit IC elements, and the characteristics of a random flow of failures when the information stored in the finite state machine memory is distorted. **Results:** Descriptions were obtained for the processes which flow when radiation impacts integrated circuits. These descriptions have three levels of representation: physical effects in semiconductor structures of the transistors; electric processes in transistor circuits, propagation of signals in electronic circuits; distortion of signals and information at the level of logical elements. Probabilistic assessments of information distortion were obtained. The proposed approach to the analysis of processes can also be applied to other elements and devices. **Practical relevance:** The obtained results allow you to analyze the impact of radiation on information processes in digital devices, finding the ways to use structural redundancy in order to increase the system reliability.

Keywords — Semiconductor Structure, Transistor, Gate, Logical Element, Synchronous Flip-Flop, CMOS technology, Radiation Effects, Soft Failures, Flow of High-Energy Particles, Flow of Information Failures, Physical Processes, Electrical Processes, Information Processes.

References

- Egorov I. V., Melekhin V. F. Analysis of Radiation Resistance Improvement Issue for Information and Control Systems at the Stage of Functional and Logical Design. *Informatsionno-upravliaiushchie sistemy* [Information and Control Systems], 2016, no. 1, pp. 26–31 (In Russian). doi:10.15217/issn1684-8853.2016.1.26
- Egorov I. V., Melekhin V. F. Methods and Tools for Structural Block Reliability Analysis with Reservation and Periodic Information Recovery at Various Stages of Computing System Design. *Informatsionno-upravliaiushchie sistemy* [Information and Control Systems], 2016, no. 2, pp. 26–34 (In Russian). doi:10.15217/issn1684-8853.2016.2.26
- Jacob A. Abraham, Daniel P. Siewiorek. An Algorithm for the Accurate Reliability Evaluation of Triple Modular Redundancy Networks. *IEEE Transactions on Computers*, 1974, vol. C-23, no. 7, pp. 682–692.
- Maximenko S. L., Melekhin V. F. Analysis of Reliability of Functional Nodes of Digital VLSI Circuits with Structural Redundancy and Periodic Operational State Recovery. *Informatsionno-upravliaiushchie sistemy* [Information and Control Systems], 2013, no. 2(63), pp. 18–23 (In Russian).
- Muroga S. *Sistemnoe proektirovanie sverkhbol'shikh integral'nykh skhem* [System Design of Very-Large-Scale Integrated Circuits]. Vol. 1. Moscow, Mir Publ., 1985. 288 p. (In Russian).
- Edmonds L. D., Barnes C. E., Scheick L. Z. An Introduction to Space Radiation Effects on Microelectronics. *JPL Publication*, 2000, no. 00-06. Available at: <http://snebulos.mit.edu/projects/reference/NASA-Generic/JPL-00-06.pdf> (accessed 05 December 2015).
- Gaillard R. Single Event Effects Mechanisms and Classification. *Frontiers in Electronic Testing*, 2011, vol. 41, pp. 27–54.
- Amusan O. A., Massengill L. W., Baze M. P., Sternberg A. L., Witulski A. F., Bhuvu B. L., Black J. D. Single Event Upsets in Deep-Submicrometer Technologies due to Charge Sharing. *IEEE Transactions on Device and Materials Reliability*, 2008, vol. 8, no. 3, pp. 582–589.
- Kaeslin H. *Digital Integrated Circuit Design. From VLSI Architectures to CMOS Fabrication*. Cambridge University Press, 2008. Available at: <http://www.roletech.net/books/DigitalIntegratedCircuit.pdf> (accessed 10 April 2016).
- Babich N. P., Zhukov I. A. *Komp'yuternaja shemotekhnika* [Computer Circuitry]. Kiev, MK-press Publ., 2004. 670 p. (In Russian).